

3.7.2. Устройство управления

Основные функции:

1. Формирование адреса инструкции.
2. Считывание инструкции из ОЗУ (ПЗУ) и её хранение во время выполнения.
3. Дешифрация кода операции.
4. Формирование управляющих сигналов.
5. Считывание из регистра команд и регистров микропроцессорной памяти отдельных составляющих адресов операндов (чисел), участвующих в вычислениях, и формирование полных адресов операндов.
6. Выборка операндов (по сформированным адресам) и выполнение заданной операции обработки этих операндов.
7. Запись результатов операции в память.
8. Формирования адреса следующей команды программы.

Упрощенная структурная схема устройства управления (УУ) показана на рис. 11 [3, 4, 7].

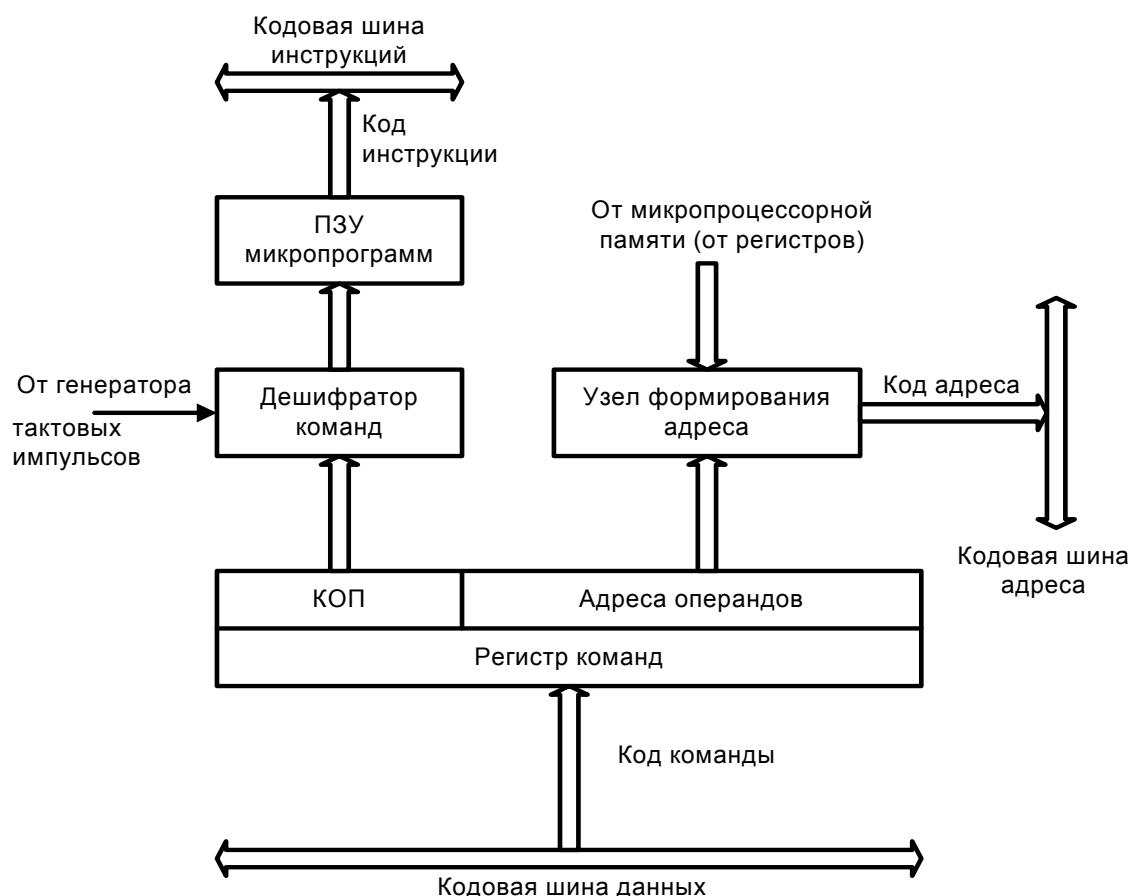


Рис. 11. Упрощённая структурная схема устройства управления

Состав структурной схемы:

Регистр команд – запоминающий регистр, в котором хранится код команды: код выполняемой операции и адреса операндов, участвующих в операции.

Дешифратор операций – логический блок, выбирающий из регистра команд код операции (КОП).

Постоянное запоминающее устройство микропрограмм – хранит в своих ячейках управляющие сигналы (импульсы), необходимые для выполнения в блоках ПК операций обработки информации. Импульс по выбранной дешифратором операций, в соответствии с кодом, операции считывает из ПЗУ микропрограмм необходимую последовательность управляющих сигналов.

Узел формирования адреса – устройство, вычисляющее полный адрес ячейки памяти (регистра) по реквизитам, поступающим из регистра команд и регистров микропроцессорной памяти.

Кодовые шины данных, адреса и инструкций – часть внутренней интерфейсной шины микропроцессора.

3.7.3. Арифметико-логическое устройство

Основные функции АЛУ:

1. Приём операндов из ОЗУ и регистров (микропроцессорной памяти).
2. Выполнение арифметических и логических операций.
3. Передача результатов в регистры и в ОЗУ.
4. Формирование признаков результатов выполнения операций и их запись в регистр слова состояния процессора.

В состав АЛУ входят сумматоры, которые непосредственно выполняют элементарные операции, регистры для хранения операндов и результатов, сдвиговые регистры, логические схемы И, ИЛИ, НЕ, схемы для преобразования прямого кода числа в дополнительную форму и дополнительные схемы аппаратного умножения и деления для целочисленных операндов.

Упрощенная структурная схема АЛУ показана на рис. 12 [3, 4, 7].

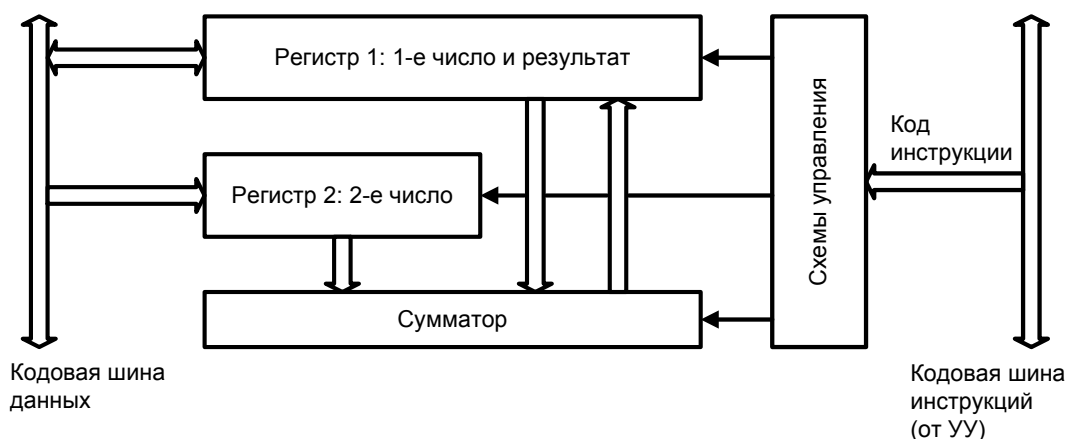


Рис. 12. Упрощённая структурная схема АЛУ

Состав структурной схемы:

Сумматор – вычислительная схема, выполняющая процедуру сложения поступающих на ее вход двоичных кодов; сумматор имеет разрядность двойного машинного слова.

Регистры – быстродействующие ячейки памяти различной длины: регистр 1 (Рг1) имеет разрядность двойного слова, а регистр 2 (Рг2) – разрядность слова.

При выполнении операций в Рг1 помещается первое число, участвующее в операции, а по завершении операции – результат; в Рг2 – второе число, участвующее в операции (по завершении операции информация в нем не изменяется). Регистр 1 может и принимать информацию с кодовых шин данных, и выдавать информацию на них, регистр 2 только получает информацию с этих шин.

Схемы управления принимают по кодовым шинам инструкций управляющие сигналы от устройства управления и преобразуют их в сигналы для управления работой регистров и сумматора АЛУ.

АЛУ выполняет арифметические операции (+, -, *, :) только над двоичной информацией с запятой, фиксированной после последнего разряда, т. е. только над целыми двоичными числами.

Выполнение операций над двоичными числами с плавающей запятой и над двоично-кодированными десятичными числами осуществляется или с привлечением математического сопроцессора, или по специально составленным программам.

Основные элементы АЛУ. Основой АЛУ является одnorазрядный сумматор, схема которого обеспечивает суммирование цифры одного разряда 2-го числа с учётом бита переноса из соседнего младшего раз-

ряда 1-го числа. Схема одноразрядного сумматора представлена на рис. 13.

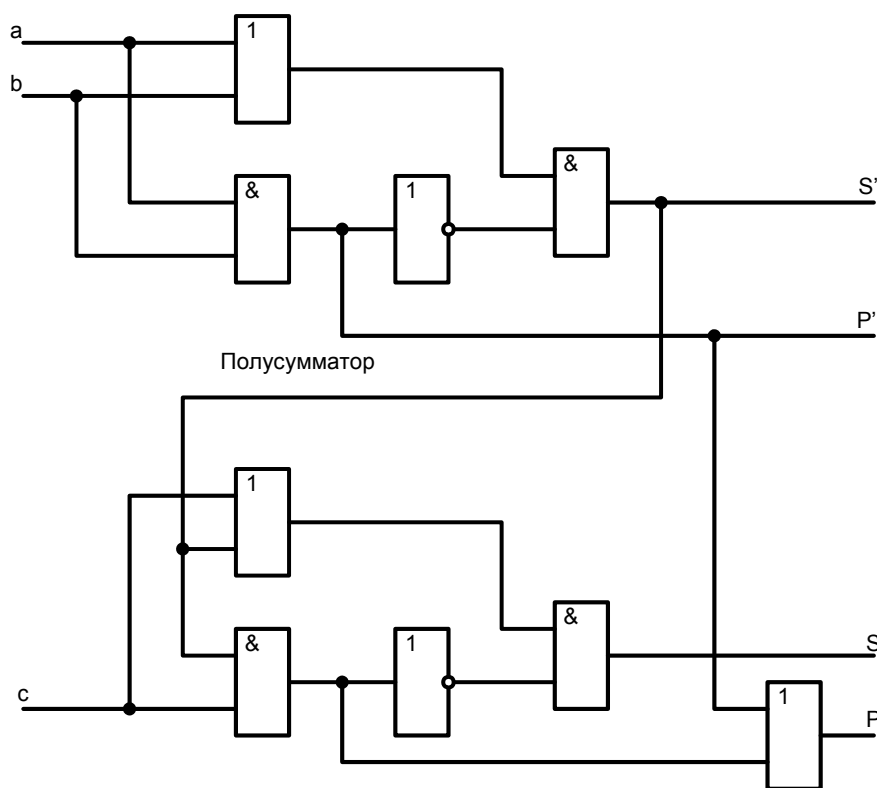


Рис. 13. Одноразрядный сумматор

Рассмотренный сумматор выполняет операцию сложения в соответствии с табл. 3.

Таблица 3

a	b	c	S'	P'	S	P
0	0	0	0	0	0	0
1	0	0	1	0	1	0
0	1	0	1	0	1	0
1	1	0	0	1	0	1
0	0	1	0	0	1	0
1	0	1	1	0	0	1
0	1	1	1	0	0	1
1	1	1	0	1	1	1

Примечание: а – соответствующий разряд 1-го числа;

- b – соответствующий разряд 2-го числа;
- c – бит переноса из соседнего младшего разряда;
- S' – значение цифры суммы в данном разряде полусумматора;
- P' – цифра переноса в следующий (старший) разряд полусумматора;
- S – значение цифры суммы в данном разряде;
- P – цифра переноса в следующий (старший) разряд.

Практически все операции в АЛУ сводятся к сложению и дополнительным операциям сдвига и преобразования кода.

3.7.4. Последовательность работы микропроцессора

После запуска в регистре счетчика команд микропроцессора устанавливается адрес ячейки ОЗУ, в которой находится начало (первая команда) программы.

После этого автоматически начинается выполнение команд программы друг за другом. Каждая команда требует для своего исполнения нескольких тактов работы машины (такты определяются периодом следования импульсов от генератора тактовых импульсов).

В первом такте выполнения любой команды производятся считывание кода самой команды из ОЗУ по адресу, установленному в регистре-счетчике команд, и запись этого кода в блок регистров команд устройства управления. Содержание второго и последующих тактов исполнения определяется результатами анализа команды, записанной в блок регистров команд, т. е. зависит уже от конкретной команды.

Пример. Выполнение команды сложения аккумулятора с прямоадресуемой ячейкой памяти ОЗУ (длина команды два байта) [1, 4, 8]:

add a, addr.

При выполнении данной команды будут выполнены следующие действия:

- Первый такт: считывание КОП из ОЗУ по адресу, установленному в регистре-счетчике команд, запись этого кода в блок регистров команд устройства управления, декодирование КОП, приращение регистра счётчика команд.
- Второй такт: запись содержимого аккумулятора в буферный регистр АЛУ.
- Третий такт: считывание из ячейки ОЗУ по адресу addr второго слагаемого и перемещение его во второй буферный регистр АЛУ, приращение регистра счётчика команд;

- Четвёртый такт: сложение в АЛУ переданных туда чисел и формирование суммы.
- Пятый такт: считывание из АЛУ суммы чисел и запись её в аккумулятор.

Далее МП приступит к выполнению следующей команды по адресу, содержащемуся в регистре-счётчике команд. Команды будут выполняться последовательно одни за другой, пока не завершится вся программа.

При наличии в программе перехода по заданному признаку выполнение команд начинается с некоторой новой области памяти, т. е. счётчик команд загружается новым числом. В случае условного перехода такое действие имеет место, если результаты определенных проверок совпадают с ожидаемыми значениями. Указанные результаты находятся в регистре состояния. Регистр состояния предоставляет программисту возможность организовать работу микропроцессора так, чтобы при определенных условиях менялся порядок выполнения команд.

3.7.5. Режимы адресации

Для взаимодействия с различными модулями в ЭВМ должны быть средства идентификации ячеек внешней памяти, ячеек внутренней памяти, регистров МП и регистров устройств ввода/вывода. Поэтому каждой из запоминающих ячеек присваивается адрес, т. е. однозначная комбинация бит. Количество бит определяет число идентифицируемых ячеек. Обычно ЭВМ имеет различные адресные пространства памяти и регистров МП, а иногда – отдельные адресные пространства регистров устройств ввода/вывода и внутренней памяти. Кроме того, память хранит как данные, так и команды. Поэтому для ЭВМ разработано множество способов обращения к памяти, называемых режимами адресации.

Режим адресации памяти – это процедура или схема преобразования адресной информации об операнде в его исполнительный адрес.

Все способы адресации памяти можно разделить на:

1) прямой, когда исполнительный адрес берется непосредственно из команды или вычисляется с использованием значения, указанного в команде, и содержимого какого-либо регистра (прямая адресация, регистровая, базовая, индексная и т. д.);

2) косвенный, который предполагает, что в команде содержится значение косвенного адреса, т. е. адреса ячейки памяти, в которой находится окончательный исполнительный адрес (косвенная адресация).

В каждой микроЭВМ реализованы только некоторые режимы адресации, использование которых, как правило, определяется архитектурой МП.